

## COMPOSITE DIFFERENTIAL AMPLIFIER

Patent number: JP4351109  
Publication date: 1992-12-04  
Inventor: NISHIJIMA KAZUNORI  
Applicant: NEC CORP  
Classification:  
- international: H03F3/45; H03F3/34  
- european:  
Application number: JP19910125752 19910529  
Priority number(s):

Also published as:



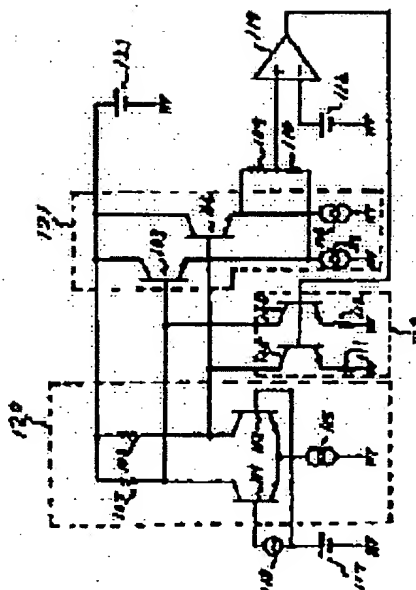
EP0516423 (A1)  
US5254956 (A1)  
EP0516423 (B1)

Report a data error here

### Abstract of JP4351109

**PURPOSE:** To reduce the voltage of the entire circuit and the power consumption in a differential amplifier whose output DC voltage is made constant.

**CONSTITUTION:** A differential output of the differential amplifier 120 is outputted from emitters of transistors (TRs) 103, 104 via an emitter follower 121 and a midpoint bias of the differential output, that is, the DC output of an operational amplifier 119 inputted to a noninverting input of an operational amplifier 119 is inputted to a voltage controlled current source 122. Moreover, the current absorbing point of the current source 122 is connected to a load point of the differential amplifier and feedback is applied so that the external control voltage inputted to the inverting input of the operational amplifier and the DC output voltage of the differential amplifier 120 are coincident. Thus, the low voltage and low power consumption of the circuit are attained.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-351109

(43) 公開日 平成4年(1992)12月4日

(51) Int.Cl.<sup>5</sup>

H 0 3 F 3/45  
3/34

識別記号

庁内整理番号

B 7328-5J  
B 7328-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-125752

(22) 出願日 平成3年(1991)5月29日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 西島 一則

東京都港区芝五丁目7番1号日本電気株式  
会社内

(74) 代理人 弁理士 内原 晋

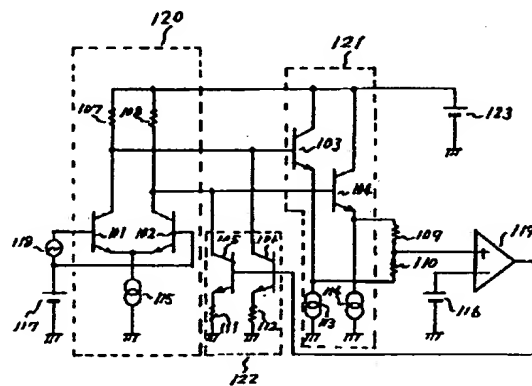
(54) 【発明の名称】 複合差動増幅器

(57) 【要約】

【目的】 差動増幅器の出力DC電圧を一定にする複合差動増幅器において、回路全体の低電圧化低消費電力化を図る。

【構成】 差動増幅器120の差動出力は、エミッタフォロア121を介してトランジスタ103、104のエミッタから出力され、差動出力の midpoint バイアスすなわち差動増幅器120のDC出力は、オペアンプ119の非反転入力に入力されオペアンプ119の出力は、電圧制御電流源122に入力され、電流源122の電流吸入点が差動増幅器の負荷点に接続され、オペアンプの反転入力に入力された外部制御電圧と差動増幅器120のDC出力電圧とが一致するように帰還がかかる。

【効果】 以上の発明により回路な低電圧化、低消費電力化が図れた。



## 【特許請求の範囲】

【請求項1】 差動増幅器の差動出力を各々同一の抵抗を介して共通接続し、前記共通接続点をオペアンプの非反転入力に入力し、前記オペアンプの反転入力には外部制御電圧を入力し、前記オペアンプの出力は、入力電圧に正比例した電流を発生する第一、第二の電圧制御電流源の各々の入力に共通に入力され、前記第一、第二の電圧制御電流源の各々の電流吸い込み点が前記差動増幅器の第一、第二の負荷点に接続されたことを特徴とする複合差動増幅器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複合差動増幅器に関し、特に差動増幅器の出力DC電圧を一定にする複合差動増幅器に関する。

【0002】

【従来の技術】 従来の複合差動増幅器は、図2に示すように、入力信号源214、トランジスタ201、202及び負荷205、206、定電流源212から構成される差動増幅器とトランジスタ203、204、定電流源210、211から構成されるエミッタフォロア及び、抵抗207、抵抗208、オペアンプ215から構成される。

【0003】 次に動作について説明する。入力信号源214の入力信号 $v_i$ は、差動増幅器で増幅され、エミッタフォロアを介してトランジスタ203、204の各々のエミッタから出力される。差動増幅器の利得をA、定電流源212の電流を $2I_o$ 、負荷205、206を $R_L$ 、オペアンプ215の出力電圧を $V_{op}$ 、トランジスタ203、204のベースエミッタ間電圧を $V_{BE}$ として、トランジスタ203のエミッタ出力 $V_o$ は、(1)式と\*

$$V_i = \frac{AV_c - R_L I_o - V_{BE}}{1 + A}$$

$$= \frac{A}{1 + A} V_c - \frac{R_L I_o + V_{BE}}{1 + A} \dots\dots\dots (6)$$

【0015】 オペアンプの利得がAが十分大きいと仮定すると(7)式となる。

【0016】

$$V_i \simeq V_c \dots\dots\dots (7)$$

【0017】 従って差動増幅器の出力DC電圧は、 $R_L$ 、 $I_o$ 、 $V_{BE}$ の値によらず外部制御電圧 $V_c$ とほぼ等しくなる。従って、外部制御電圧 $V_c$ をレギュレータ等により一定とすることにより差動増幅器の出力DC電圧を一定にすることができる。

【0018】

【発明が解決しようとする課題】 この従来の複合差動増幅器では、オペアンプの出力を差動増幅器の電源としているために、差動増幅器の出力DC電圧 $V_{oc}$ を高く設定

\*なる。

【0004】

$$V_o = V_{op} - R_L I_o - A v_i - V_{BE} \dots\dots\dots (1)$$

【0005】 また、トランジスタ204のエミッタ出力 $V_o'$ は、(2)式となる。

【0006】

$$V_o' = V_{op} - R_L I_o + A v_i - V_{BE} \dots\dots\dots (2)$$

10 【0007】 従ってオペアンプ215の反転入力の入力電圧 $V_i$ は、抵抗207、208を同一抵抗として $V_o$ 、 $V_o'$ の中点電圧となる。従って $V_i$ は(3)式となる

【0008】

$$V_i = \frac{V_o - V_o'}{2} = V_{op} - R_L I_o - V_{BE} \dots\dots\dots (3)$$

【0009】 すなわち(3)の式は、エミッタフォロア後の差動増幅器の出力DC電圧である。オペアンプのオープン利得を $A_{op}$ 、外部制御電圧 $V_c$ とすると(4)式となる。

【0010】

$$A_{op}(V_c - V_i) = V_{op} \dots\dots\dots (4)$$

【0011】 式(3)を代入して

【0012】

$$A_{op}(V_c - V_i) = V_i + R_L I_o + V_{BE} \dots\dots\dots (5)$$

【0013】 式(5)から $V_i$ を求めると式(6)となる。

【0014】

すると必然的にオペアンプの出力電圧 $V_{op}$ も高くなる。すなわちオペアンプ自身の電源電圧は $V_{op}$ よりさらに高い電圧を必要とする。また、差動増幅器の回路電流は、すべてオペアンプの出力から取るため、オペアンプの消費電力は増大し、かつオペアンプの為に高い電圧が必要となり、低電圧化が難しいという問題点があった。

【0019】

【課題を解決するための手段】 本発明の複合差動増幅器は、差動増幅器の差動出力を各々同一の抵抗を介して共通接続し、前記、共通接続点をオペアンプの非反転入力に入力し、前記オペアンプの反転入力には外部制御電圧を入力し、前記、オペアンプの出力は、入力電圧に正比例した電流を発生する第一、第二の電圧制御電流源の各々の

3

入力に共通に入力され、前記、第一、第二の電圧制御電流源の各々の電流吸い込み点が前記、差動増幅器の第一、第二の負荷点に接続されている。

【0020】

【実施例】次に、本発明について図面を参照して説明する。

【0021】図1は、本発明の一実施例の複合差動増幅器であり、入力信号源118、トランジスタ101、102及び負荷107、108、定電流源115、入力バイアス電圧源117から構成される差動増幅器120と、トランジスタ103、104、定電流源113、114から構成されるエミッタフォロア121とオペアンプ119、トランジスタ105、106、抵抗111、112から構成される可変電流源122及びエミッタフ\*

\*オロア121の差動出力電圧の midpoint 電圧を与える抵抗109、110、電源電圧123から構成されている。

【0022】入力信号源118の入力信号 $v_i'$ は、差動増幅器120で増幅され、エミッタフォロア121を介してトランジスタ103、104の各々のエミッタから出力される。差動増幅器の利得を $A'$ 、定電流源115の電流を $2I_o'$ 、負荷107、108を $R_L'$ 、オペアンプ119の出力電圧を $V_{op}'$ 、トランジスタ103、104のベースエミッタ間電圧を $V_{BE}$ 、電源電圧を $V_{CC}$ 、可変電流源の電流（トランジスタ105、106のコレクタ電流）を $I_{CX}$ として、トランジスタ101のエミッタ出力 $V_o''$ は、(8)式となる。

【0023】

$$V_o'' = V_{CC} - R_L'(I_o' + I_{CX}) - A'v_i' - V_{BE}' \dots (8)$$

【0024】トランジスタ104のエミッタ出力 $V_o'''$ は、式(9)となる。

※

$$V_o''' = V_{CC} - R_L'(I_o' + I_{CX}) + A'v_i' - V_{BE}' \dots (9)$$

【0026】従ってオペアンプ119の非反転入力の入力電圧 $V_i'$ は抵抗109、110を同一抵抗として $V_o''$ 、 $V_o'''$ の midpoint 電圧となる。従って $V_i'$ は(1★

★0)式となる。

【0027】

$$V_i' = \frac{V_o'' + V_o'''}{2} = V_{CC} - R_L'(I_o' + I_{CX}) - V_{BE}' \dots (10)$$

【0028】すなわち(10)の式は、エミッタフォロア121後の差動増幅器120の出力DC電圧である。オペアンプ119のオープン利得を $A_{op}'$ 、外部制御電圧 $V_c'$ 、トランジスタ105、106のベースエミッタ間電圧を $V_{BE}''$ 、抵抗111、112を $R_E$ とすると(11)式となる。

【0029】

$$A_{op}'(V_i' - V_c') = V_{op}' \dots (11)$$

【0030】(11)式より、トランジスタ105、106のコレクタ電流 $I_{CX}$ は、(12)式となる。

【0031】

$$I_{CX} = \frac{V_{op}' - V_{BE}''}{R_E} \dots (12)$$

【0032】(12)式に(11)式を代入して(13)式を得る。

【0033】

$$I_{CX} = \frac{A_{op}'(V_i' - V_c') - V_{BE}''}{R_E} \dots (13)$$

【0034】さらに式(13)を式(10)に代入して(14)式を得る。

★ 【0035】

$$V_i' = V_{CC} - R_L' \left\{ I_o' + \frac{A_{op}'(V_i' - V_o'')}{R_E} \right\} - V_{BE}' \dots (14)$$

【0036】式(14)を $V_i'$ について解くと(15)式となる。

【0037】

$$\begin{aligned}
 V_i' &= \frac{V_{CC} - R_L' I_o' + \frac{R_L'}{R_E} \cdot A_{OP} \cdot V_c' - V_{BE}'}{1 + \frac{R_L'}{R_E} \cdot A_{OP}} \\
 &= \frac{\frac{V_{CC} - R_L' I_o' - V_{BE}'}{A_{OP}'} + \frac{R_L'}{R_E} \cdot V_c'}{\frac{1}{A_{OP}'} + \frac{R_L'}{R_E}} \quad \dots\dots\dots (15)
 \end{aligned}$$

【0038】オペアンプ $A_{OP}'$ の利得は十分大きいとすれば(16)式となる。

【0039】

$$V_i' \simeq V_c' \quad \dots\dots\dots (16)$$

【0040】となる。従って、差動増幅器の出力DC電圧は、外部制御電圧 $V_c'$ とほぼ等しくなる。

【0041】

【発明の効果】以上説明したように本発明は、オペアンプの出力を可変電流源を介して差動増幅器の負荷点に接続したので、差動増幅器の出力DC電圧を高く設定しても、オペアンプの出力電圧 $V_{OP}'$ は高く設定する必要はなく、オペアンプ自身も差動増幅器の電源電圧で動作する。差動増幅器の回路電流は、電源より取るため、オペアンプの出力電流の増大はなく、消費電力の増大もない。また、オペアンプの為に高い電圧は必要でないので、オペアンプを含む回路全体の低電圧化が容易となる。以上の効果を具体的数値で示すことにする。従来例において、抵抗205、206を5K $\Omega$ 、定電流源210、211、212の電流値は400 $\mu$ A、トランジスタ203、204のベースエミッタ間電圧を0.7V、オペアンプの消費電流を1mAとすれば、エミッタフォロア後の差動増幅器の出力DC電圧は、外部制御電圧 $V_c$ を2.8Vとすることで、 $V_{OC}$ は2.8V一定に保持される。このときのオペアンプの出力電圧 $V_{OP}$ は4.5Vとなっており、オペアンプ単体の電源電圧としては、8Vは必要となる。このときの回路全体の消費電力を求めると、オペアンプの出力電流は、差動増幅器及びエミッタフォロアの電流そしてオペアンプ自身の電流の和となり、400 $\mu$ A $\times$ 3+1mAで2.2mAとなる。従って、回路全体の消費電力は、2.2mA $\times$ 8V=17.6mWとなる。次に実施例において、電源123の電圧を5V、抵抗107、108を5K $\Omega$ 、定電流源113、114、115の電流を400 $\mu$ A、可変電流源の電流を100 $\mu$ A、トランジスタ105、106のベ

ースエミッタ間電圧を0.7V、抵抗111、112を3K $\Omega$ とすると、エミッタフォロア後の差動増幅器の出力DC電圧は外部制御電圧 $V_c'$ を2.8Vとすることで2.8V一定に保持される。このときのオペアンプの出力電圧 $V_{OP}'$ は1Vであり、オペアンプ単体の電源電圧は、5Vとしても問題ない。従ってオペアンプを含む回路全体の消費電流は、400 $\mu$ A $\times$ 3+200 $\mu$ A+1mAで2.4mAとなる。従って回路全体の消費電力は、2.4mA $\times$ 5=12.0mWとなり、従来例に比較して5.6mWの電力が削減されたという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

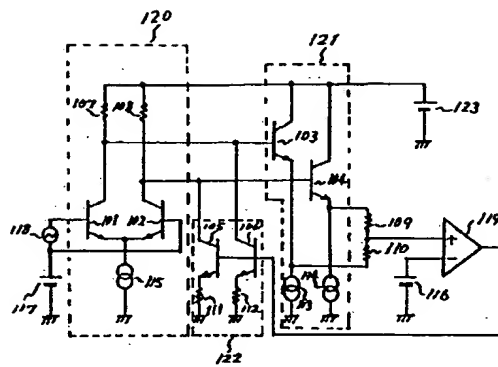
【図2】従来例の回路図である。

【図3】本発明の別の実施例を示す回路図

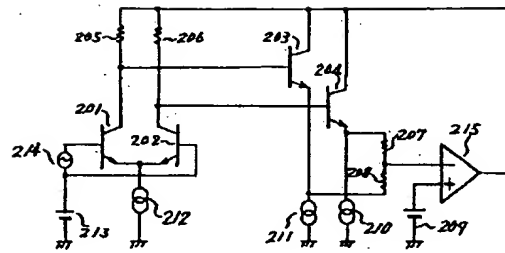
【符号の説明】

101, 102, 103, 104, 105, 106, 201, 202, 203, 204, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 310 トランジスタ  
107, 108, 109, 110, 111, 112, 205, 206, 207, 208, 312, 313, 314, 315, 316, 317, 318, 319, 320 抵抗  
113, 114, 115, 210, 211, 212, 325, 326, 327, 328 定電流源  
117, 213, 322 バイアス電圧源  
116, 209, 321 外部制御電源  
118, 214, 329 入力信号源  
119, 215, 330 オペアンプ  
123, 323 電源  
324 コンデンサ  
120, 328 差動増幅器  
121, 329 エミッタフォロア  
122, 331 可変電流源

【図1】



【図2】



【図3】

